

Le PDP-11 de DEC est un ordinateur à 16 bits, dont les caractéristiques et les performances sont typiques des mini-ordinateurs. Les mini-ordinateurs sont largement utilisés dans des applications variées : contrôleurs de télécommunication, systèmes graphiques, station de travail, contrôle de processus industriel, etc.

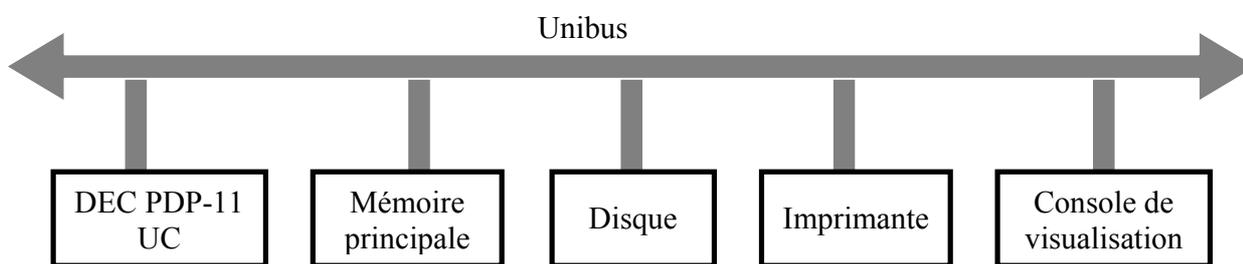


Fig.12. Organisation d'un système PDP-11

Le PDP-11 comprend une unité centrale, une mémoire principale et diverses unités d'entrée et de sortie interconnectés par un bus : l'Unibus. Le PDP-11 ne dispose pas de processeurs d'E/S, mais simplement d'unités spécialisées d'E/S fonctionnant sous contrôle plus ou moins fort de l'UC.

L'Unibus est une structure d'interconnexion permettant à deux éléments qu'il relie de s'échanger des informations. Par exemple, l'UC peut communiquer en lecture de données avec la mémoire, le contrôleur de disque peut transmettre une information vers la mémoire centrale, un terminal écran peut recevoir des informations en provenance de l'UC ou du disque.

A un instant donné, il ne peut y avoir qu'une seule communication à la fois sur l'Unibus. Le temps moyen de passage d'une paire d'éléments qui communiquent à une autre paire d'éléments qui vont eux-mêmes communiquer est d'environ 400 ns. Le fait que l'Unibus il ne puisse y avoir qu'une communication à la fois est un concept technique simple de mise en œuvre mais il faut savoir qu'il comporte quelques inconvénients. Un gestionnaire du bus, l'*arbitre du bus*, réalise l'allocation du bus au demandeur prioritaire parmi les différents demandeurs. Chaque unité connectée au bus dispose d'une priorité.

Sur le PDP-11, l'unité élémentaire d'information adressable est l'octet; cependant le mot machine de base est sur 16 bits (voir figure Fig.13.).

Le PDP-11 dispose de huit registres généraux de 16 bits et, en option, de six registres de 64 bits qui sont associés aux calculs en virgule flottante (voir figure Fig.14.). Les registres R0 à R5 sont d'usage général, R6 et R7 sont respectivement le pointeur de pile et le compteur ordinal. Le compteur ordinal contient l'adresse de la prochaine instruction à exécuter ; après chaque de recherche de l'instruction, il sera incrémenté automatiquement de deux unités. La valeur de l'incrément est de 2

plutôt que de 1, parce que le mot machine est sur 16 bits et que chaque mot est enregistré en mémoire aux adresses paires. L'adressage de type mot est de ce fait toujours pair.

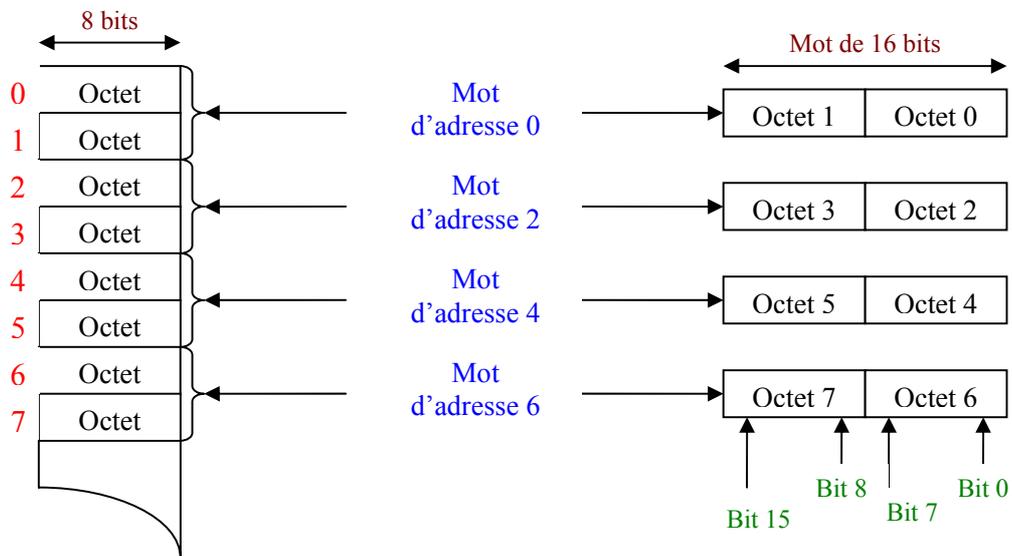


Fig.13. Structuration des adresses mémoires du PDP-11.

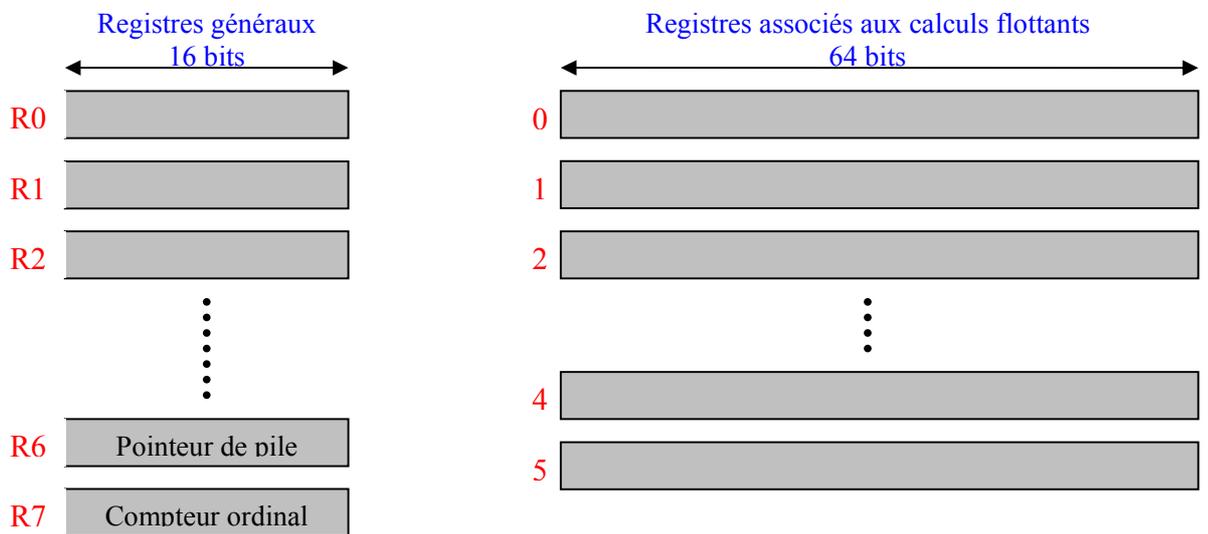
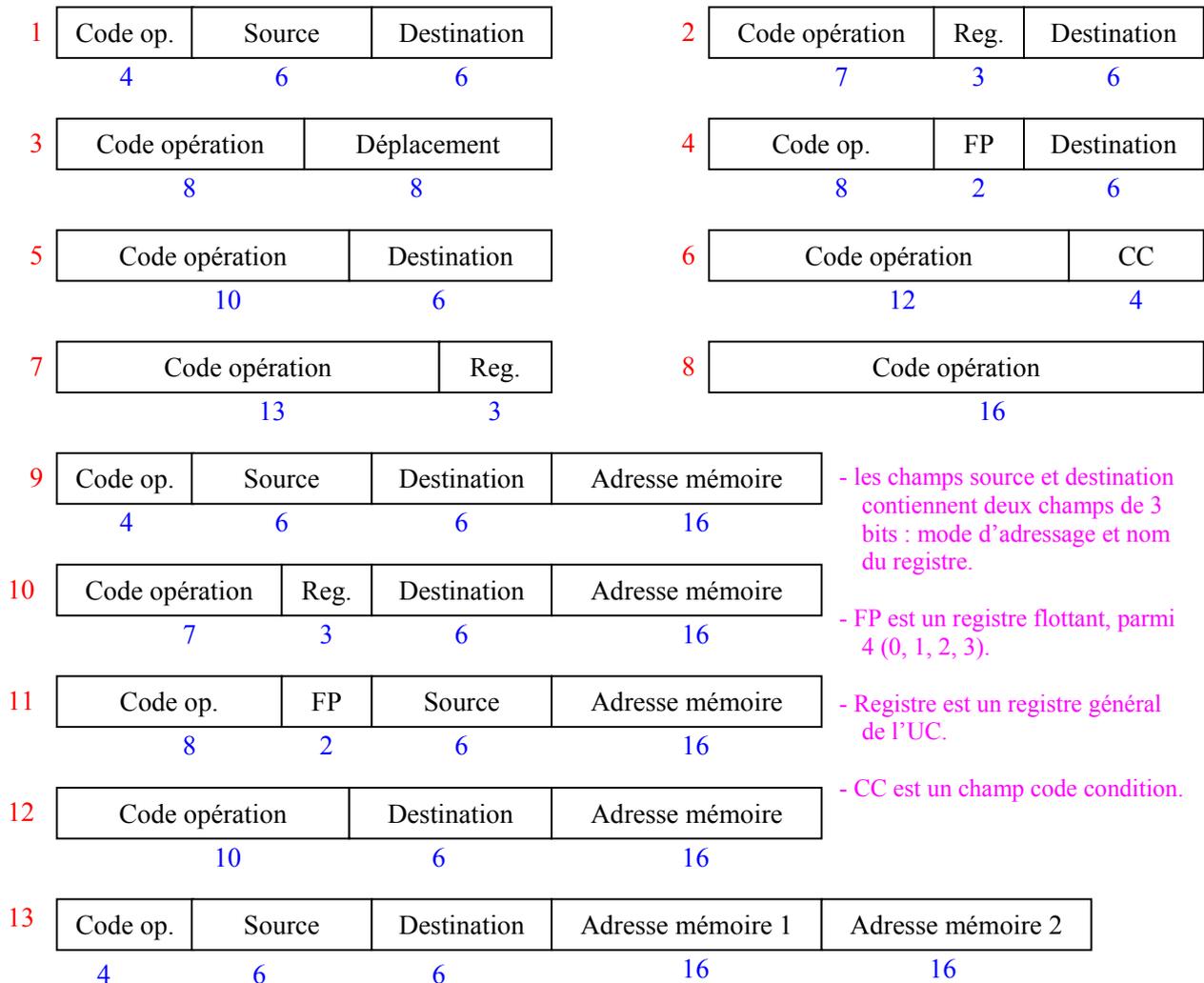


Fig.14. Les registres de la couche traditionnelle du PDP-11.

1. Format des instructions

Un programme de la couche machine traditionnelle est constitué d'une suite d'instructions rangées en mémoire centrale. Chaque instruction correspond à l'exécution d'un traitement par l'UC. Une instruction comprend en général plusieurs champs. Le champ le plus important est le code opération qui indique à l'UC l'opération à entreprendre. Les autres champs contiennent ou spécifient les données ou opérandes nécessaires à l'exécution de l'instruction.

Les formats des instructions du PDP-11 sont sophistiqués, La figure *Fig.15.* illustre les principaux formats des instructions. Les instructions sont codées sur 16 bits ; certaines sur 32 ou 48 bits mais sont formées d'une instruction de 16 bits suivie d'un ou deux mots d'information. Le PDP-11 met en œuvre un jeu d'instructions à code opération expansif. En effet, si les bits 12 à 14 de l'instruction valent 001 à 110, l'instruction est alors une instruction à deux opérandes (source et destination) ; dans le cas contraire, les 7, 8, 9, 10, 12 ou 13 bits les plus à gauche (voire les 16 bits de l'instruction) constituent le code opération de l'instruction. Les champs source et destination sont composés chacun de deux champs de trois bits : l'un précisant le mode d'adressage et l'autre indique un registre parmi les huit registres généraux.



- les champs source et destination contiennent deux champs de 3 bits : mode d'adressage et nom du registre.

- FP est un registre flottant, parmi 4 (0, 1, 2, 3).

- Registre est un registre général de l'UC.

- CC est un champ code condition.

Fig.15. Formats des instructions du PDP-11.

Groupe 1, code opération 4 bits

Format: xxxx ssssss dddddd

xxxx

0000	---	Voir groupe 2 et 3
0001	MOV	Déplacer
0010	CMP	Comparer
0011	BIT	Test de bit
0100	BIC	Mise à 0 de bit
0101	BIS	Mise à 1 de bit
0110	ADD	Additionner
0111	---	Voir groupe 10
1000	---	Voir groupe 11, 13 et 14
1001	MOVB	Déplacement d'octets
1010	CMPB	Comparaison d'octets
1011	BITB	Test de bit d'un octet
1100	BICB	Mise à 0 de bit d'un octet
1101	BISB	Mise à 1 de bit d'un octet

1110	SUB	Soustraction
1111	---	(Instruction flottante)

Groupe 2, code opération 8 bits

Format: 0000 0xxx kkkk kkkk

xxx

000	---	Voir groupe 4
001	BR	Branchement
010	BNE	Branchement si ≠0
011	BEQ	Branchement si =0
100	BGE	Branchement si ≥0
101	BLT	Branchement si <0
110	BGT	Branchement si >0
111	BLE	Branchement si ≤0

Groupe 3, code opération 7 bits

Format: 0000 1xx rrr dddddd

xx		
00	JSR	Saut au sous programme
01	---	Voir groupe 5
10	---	Voir groupe 6
11	(CSM)	Appel au superviseur

Groupe 4, code opération 10 bits

Format: 0000 0000 xx dddddd

xx		
00	---	Voir groupe 7
01	JMP	Saut
10	---	Voir groupe 8
11	SWAB	Echange d'octets

Groupe 5, code opération 10 bits

Format: 0000 101 xxx dddddd

xxx		
000	CLR	Mise à 0
001	COM	Complément à 1
010	INC	Incrémenter
011	DEC	Décrementer
100	NEG	Complément à 2
101	ADC	Addition avec retenue
110	SBC	Soustraction avec retenue
111	TST	Test

Groupe 6, code opération 10 bits

Format: 0000 110 xxx dddddd

xxx		
000	ROR	Rotation 1 bit à droite
001	ROL	Rotation 1 bit à gauche
010	ASR	Décalage arithmétique 1 bit à droite
011	ASL	Décalage arithmétique 1 bit à gauche
100	(MARK)	Effacement pile, dddddd=pointeur
101	(MFPI)	Déplacement à partir d'un espace
110	(MTPI)	Déplacement d'un espace
111	(SXT)	Extension de signe

Groupe 7, code opération 12 bits

Format: 0000 0000 00 xx cccc

xx		
00	---	Voir groupe 9
01	---	Inutilisé
10	CCC	Mise à 0 registre condition
11	SCC	Mise à 1 registre condition

Groupe 8, code opération 13 bits

Format: 0000 0000 10 xxx rrr

xxx		
000	RTS	Retour de sous-programme
010	(SPL)	Mise à 1 niveau de priorité

Groupe 9, code opération 16 bits

Format: 0000 0000 0000 0xxx

xxx		
000	HALT	Halte
001	WAIT	Attente
010	RTI	Retour s/prog. interruption
011	BPT	Point d'arrêt
100	IOT	Trap d'E/S
101	RESET	Initialisation
110	(RTT)	Retour de trap

Groupe 10, code opération 7 bits

Format: 0111 xxx rrr dddddd

xxx		
000	(MUL)	Multiplication
001	(DIV)	Division
010	(ASH)	Décalage arithmétique
011	(ASHC)	Décalage arithmétique combiné
100	(XOR)	Ou exclusif
111	(SOB)	Soustraire et brancher

Groupe 11, code opération 8 bits

Format: 1000 0xxx kkkk kkkk

xxx		
000	BPL	Branchement si >0
001	BMI	Branchement si >0
010	BHI	Branchement octet poids fort
011	BLOS	Branchement octet poids faible
100	BVC	Branchement si overflow =0
101	BVS	Branchement si overflow =1
110	BCC	Branchement si carry =0
111	BCS	Branchement si carry =1

Groupe 12, code opération 10 bits

Format: 1000 101 xxx dddddd

xxx		
000	CLRB	Mise à 0
001	COMB	Complément à 1
010	INCB	Incrémenter
011	DECB	Décrementer
100	NEGB	Complément à 2
101	ADCB	Addition avec retenue

110	SBCB	Soustraction avec retenue	010	ASRB	Décalage arithmétique 1 bit à droite
111	TSTB	Test	011	ASLB	Décalage arithmétique 1 bit à gauche
			100	- - -	Inutilisé
			101	(MFPD)	Déplacement à partir d'un espace
			110	(MTPD)	Déplacement d'un espace
			111	- - -	Inutilisé
Groupe 13, code opération 10 bits					
Format: 1000 110 xxx dddddd					
xxx					
000	RORB	Rotation 1 bit à droite			
001	ROLB	Rotation 1 bit à gauche			
Notes:					
sssss		Spécifie la source			
dddddd		Spécifie la destination			
rrr		Spécifie un registre			
x		Spécifie un code opération			
kkkkkkkk		Spécifie une constante ou un offset			
ccc		Spécifie un code condition			

Fig.16. Jeu d'instructions du PDP-11

2. Les modes d'adressage du PDP11

Le PDP11 offre un large éventail de modes d'adressage élaboré selon le principe que le mode d'adressage est intégré dans le champ adresse. Chaque instruction contient un sous champ spécifiant le mode d'adressage. La figure ci-dessus Fig.17. montre le format des instructions typiques à deux opérands du PDP11.

Chaque champ opérande comprend trois bits spécifiant le mode d'adressage (mode source, mode destination) et trois bits définissant le nom du registre. Toutes les instructions du PDP-11 sont codées sur 16 bits. Dans certains cas, un ou deux mots supplémentaires sont ajoutés à l'instruction et sont considérés comme parties intégrantes de l'instruction.

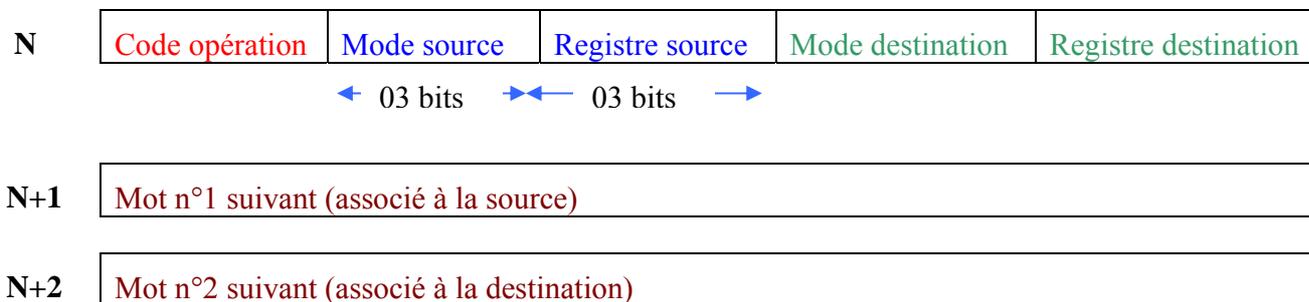


Fig.17. Format des instructions typiques à deux opérands du PDP-11.

Sur le PDP 11, le registre R7 est le compteur ordinal CO, il est incrémenté de deux unités après chaque cycle de "recherche instruction" en mémoire avant l'exécution effective de l'instruction.

Les différents modes d'adressages du PDP 11 sont illustrés par le tableau ci-dessous:

Mode	Nom de la technique	Localisation de l'opérande
0	L'adressage par registre	L'opérande est dans le registre R.
1	Indirect par registre	Le registre R contient le pointeur vers l'opérande.
2	Auto-incrémentation	Le contenu du registre R est utilisé comme pointeur vers l'opérande. Après la recherche de l'opérande, le registre R est incrémenté de 1 pour les instructions de type octet et de 2 pour les instructions de type mot.
3	Auto-incrémentation indirect	Le mot mémoire qui contient le pointeur mémoire de l'opérande est adressé par le registre R. puis le registre R est incrémenté de 1 ou de 2.
4	Auto-décrémentation	Le registre R est décrémenté de 1 ou de 2, la nouvelle valeur de R est alors utilisée comme pointeur vers l'opérande.
5	Auto-décrémentation indirect	Le registre R est décrémenté de 1 ou de 2, la nouvelle valeur de R est utilisée comme adresse d'un mot mémoire contenant le pointeur de l'opérande.
6	Indexé	L'adresse de l'opérande est obtenue en additionnant le contenu du registre R (d'index) et une constante d'indexation codée sur 16 bits en complément à deux situé dans le mot mémoire suivant l'instruction. En mode 6 et 7, le CO est incrémenté de 2 après que l'opérande soit chargé dans l'UC.
7	Indexé indirect	L'adresse du mot mémoire contenant un pointeur vers l'opérande est obtenue en additionnant le contenu du registre R avec la constante d'indexation qui suit l'instruction.

Remarques:

1. Les modes 6 et 7 exigent une constante d'indexation codée sur 16 bits.
2. Si les modes 2 et 3 sont utilisés avec le registre R7 (CO) leur fonctionnement est le suivant : tout d'abord, l'instruction est chargée dans l'UC (cycle de recherche) puis le registre R7 est incrémenté de deux unités. Avec ces modes, R7 est utilisé comme pointeur soit vers la donnée (mode 2) soit vers l'adresse d'une donnée (mode 3). Dans les deux cas le mot mémoire pointé par R7 est celui qui suit l'instruction en cours. Une fois, ce mot est chargé dans l'UC, R7 est incrémenté à nouveau de 2. Cette façon de procéder permet d'utiliser le mot qui suit l'instruction comme donnée du programme. En mode 2, cette donnée est l'opérande (mode adressage immédiat). En mode 3, cette donnée est l'adresse de l'opérande (mode adressage direct).
3. Si les champs source et destination exigent chacun un mot supplémentaire selon leurs modes d'adressage respectif, le premier mot qui suit l'instruction est toujours associé au champ source.

4. le PDP11 offre une forme d'adressage appelé "auto relatif" ou "indépendant de la position mémoire" quand le mode 6 est utilisé avec le registre R7, dans ce cas l'adresse de l'opérande est obtenue par addition de la constante d'indexation qui suit l'instruction et du contenu du R7. L'opérande se trouve donc à une adresse relative à la position courante du CO (à une certaine distance en avant ou en arrière de l'instruction elle-même). Le déplacement du programme dans la mémoire ne pose aucun problème dans ce cas.

Exemple:

Pour mettre en évidence les modes d'adressage du PDP-11, considérons l'instruction MOV de la figure Fig.18. Cette instruction a pour effet de transférer le contenu de l'opérande *Source* dans le registre *R4*. Le tableau de la figure Fig.19. présente les variantes possibles de cette instruction pour divers "modes sources" et "registres sources".

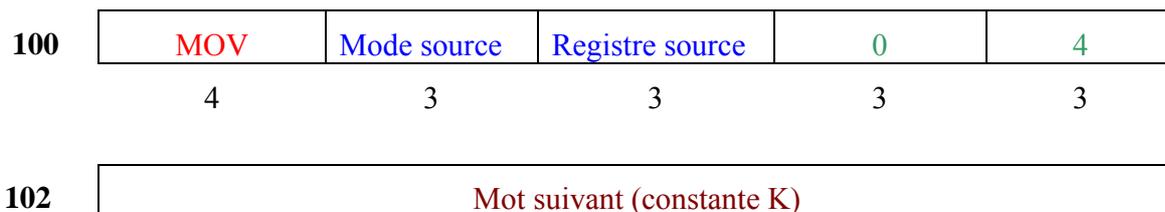


Fig.18. L' instructions MOV du PDP-11 qui transfère un mot dans R4.

Mode Source	Registre Source		
	R = 0 → 5	R = 6	R = 7
0	Transfert de R dans R4. Ex: MOV R3, R4	Transfert du pointeur de pile dans R4. Ex: MOV SP, R4	Transfert du CO dans R4. Ex: MOV PC, R4
1	Transfert du mot mémoire pointé par R dans R4. Ex: MOV *R3, R4	Transfert du mot de sommet de pile dans R4, sans l'effacer. Ex: MOV *SP, R4	Transfert de K dans R4; le CO n'est pas incrémenté. K est l'instruction suivante. Ex: MOV *PC, R4
2	Transfert du mot mémoire pointé par R dans R4 et incrémenter R de 2. Ex: MOV (R3)+, R4	Transfert du mot du sommet de pile dans R4, avec effacement (POP). Ex: MOV (SP)+, R4	Charger K dans R4; le CO est incrémenté de 2. (mode immédiat). Ex: MOV \$24, R4
3	Charger dans R4 le mot mémoire pointé par R en mode indirect et incrémenter R de 2. Ex: MOV *(R3)+, R4	POP l'adresse de l'opérande source de la pile et charger l'opérande dans R4. Ex: MOV *(SP)+, R4	Charger R4 avec le mémoire d'adresse K (mode indirect). Ex: MOV *\$24, R4
4	Décrémenter R de 2 et charger R4 avec le mot pointé par R. Ex: MOV -(R3), R4	R6 n'est pas une source, mais une destination utilisée avec PUSH. Ex: MOV \$6, -(SP)	Inutilisé, pour cause de boucle infinie.
5	Décrémenter R de 2 et charger R4 en mode indirect avec le mot pointé par R. Ex: MOV *-(R3), R4	Inutilisé.	Inutilisé, pour cause de boucle infinie.
6	Charger dans R4 le mot mémoire d'adresse: C(R)+K (mode indexé). Ex: MOV 24(R3), R4	Charger R4 avec le mot situé à K/2 mots sous le sommet de pile. Ex: MOV 24(SP), R4	Charger R4 avec le mot situé à K/2 mots de l'instruction (adressage auto-relatif). Ex: MOV X, R4
7	Charger dans R4 le mot mémoire pointé par celui d'adresse: C(R)+K (mode indirect+indexé). Ex: MOV *24(R3), R4	Charger R4 avec le mot dont l'adresse est situé à K/2 mots sous le sommet de pile. Ex: MOV *24(SP), R4	Charger R4 avec le mot mémoire pointé par le mot situé à K/2 mots de l'instruction. Ex: MOV *X, R4

- R: Signifie le nom du registre,
- C(R): le contenu du registre R,
- \$: Signifie un opérande immédiat,
- *: Signifie l'indirection,
- Dans les cas 6 et 7 avec R7, l'assembleur calcule la valeur appropriée de la constante pour adresser X.

Fig.19. Variantes de l'instruction MOV pour diverses sources et registres.

Remarques:

- 1- Le mode 6 avec le registre R7 peut être remplacé par le mode 3 associé au registre R7; dans ce cas la mémoire peut être adressée soit de façon auto relative, soit de façon directe.
- 2- Le mode 1 avec R6 fait référence au mot du sommet de pile en tant que source ou destination sans toutefois l'effacer de la pile, tandis que le mode 2 avec R6 lui, l'efface.

Exemple:

Comme les modes source et destination sont complètement indépendants, un même code opération peut se rapporter à des instructions complètement différentes. Par exemple l'instruction ADD peut être utilisée de différentes façons pour (les chiffres entre parenthèses dans l'exemple ci-dessus désignent le mode source et destination associés à l'instruction) :

- ADD un registre avec un registre (0, 0)
- ADD un registre avec un mot mémoire (0, 6)
- ADD un mot mémoire avec un registre (6, 0)
- ADD un mot mémoire avec un mot mémoire (6, 6)
- POP un mot de la pile et ADD ce mot avec un registre (2, 0)
- POP un mot de la pile et ADD ce mot avec un mot mémoire (2, 6)
- ADD un opérande immédiat avec un registre (2, 0)
- ADD un opérande immédiat avec un mot mémoire (2, 6)
- ADD un opérande immédiat au mot sommet de pile (2, 1)
- ADD un registre au mot sommet de pile (0, 1)
- ADD un mot mémoire au mot sommet de pile (6, 1)
- ADD un mot mémoire à une adresse indirecte (6, 7)
- ADD un registre à une adresse indirecte (0, 7)
- ADD un opérande immédiat à une adresse indirecte (2, 7)